

串行 A/D 转换器 TLC2543 与 TMS320C25 的接口及编程

Programming & Interfacing SPI ADC TLC2543 to TMS320C25

上海交通大学电子信息学院 (200030) 邓 勇 施文康

【摘要】以 TI 公司的 DSP 芯片 TMS320C25 与 11 通道 12 位串行模/数转换芯片 TLC2543 为例,介绍该类 ADC 与 DSP 的接口及编程,这种方法也适用于其他具有 SPI 串行接口的 A/D 转换器。

关键词: DSP, A/D 转换器, 接口

Abstract: The implementation of an interface between a TMS320C25 digital signal processor (DSP) and a TLC2543 12-bit, 11-channel analog-to-digital converter (ADC) is discussed. This interface can be adapted for use in interface DSPs between other device with serial peripheral interface (SPI).

Key words: DSP, ADC, interface

TMS320C25 是 TI (TEXAS INSTRUMENT) 公司的 16 位数字信号处理器,它在结构上采用程序存储器和数据存储器分开寻址的哈佛结构,允许取指令和执行指令全部重叠进行。该 DSP 内含 544 个字的 RAM, 4KB 的程序存储器 ROM, 用掩膜方法放置在内部 ROM 中程序可以全速运行。TMS320C25 内建 32 位乘法器,以单指令周期完成 16×16 位 2 的补码数相乘,这对诸如卷积等 DSP 基本算法是很有实效的。另外,它与专用的 DSP 指令系统相结合,从而能提高速度和灵活性,每秒执行的指令达到 10 兆条。

TLC2543 也是 TI 公司的产品。它是 12 位开关电容逐次逼近 A/D 转换器。每个器件有 3 个控制输入端:片选 (\overline{CS}) 输入/输出时钟 (I/O CLOCK) 以及地址输入端 (DATA INPUT)。通过一个串行的三态输出端

与主处理器或其外围的串行口通信,可与主机高速传输数据,输出数据长度和格式可编程。片内含有一个 14 通道多路器,可从 11 个模拟输入

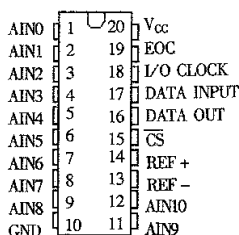


图 1 TLC2543 的引脚图

和 3 个内部自测电压中选择一个。片内设有采样保持电路。“转换结束”信号 EOC 指示转换完成。系统时钟由片内产生并与 I/O CLOCK 同步。正、负基准电压 (REF+, REF-) 由外部提供,通常为 V_{CC}、地,两者差值决定输入电压范围。片内转换器使器件具有高速 (10 μs 转换时间) 高精度 (12 位分辨率,最大正负一个 LSB 的线性误差) 和低噪声的特点。其引脚排列如图 1 所示。

1 接口设计

1.1 硬件接口设计

TMS320C25 片内有一个全双工串行口,其接收和发送操作都是双向缓冲的。与串行口工作相关的引脚有:DX (发送的串行数据信号) DR (接收的串行数据信号) CLKX (发送时钟信号) CLKR (接收时钟信号), FSX (发送帧同步信号) FSR (接收帧同步信号)。在 DX 和 DR 引脚上的数据分别通过 CLKX 或 CLKR 信号,记录到 TMS320C25 的 XSR (发送移位寄存器) 和 RSR (接收移位寄存器) 中, XSR 和 RSR 又分别与 DXR (数据发送寄存器) 和 DRR (数据接收寄存器) 相连, DXR 和 DRR 被映射到数据地址空间的 0 单元和 1 单元, TMS320C25 可以通过指令访问并对其进行操作。TMS320C25 以异步或同步的方式于外界通信取决于控制寄存器中的信息。本文中, TMS320C25 采用异步方式,以便有效地对 TLC2543 进行控制。接口电路如图 2 所示。

在图 2 中, TMS320C25 使用的 40 MHz 的晶振, 指令周期为 100 ns。TMS320C25 的 DX 连接 TLC2543 的 DATA INPUT, 作为 TLC2543 的输入端。TLC2543 的 DATA OUT 连接 TMS320C25 的 DR, 转换结果从该脚移入 TMS320C25。XF 是外部标志输出引脚, 在系统中作为时钟源并由软件来产生时钟信号, 将其接到 TMS320C25 的 CLKX 和 CLKR, 为 TMS320C25 的发送及接收操作提供时钟信号; 同时, TLC2543 的时钟信号也由 XF 引脚提供。值得注意的是: 从接口的时序图 (图 3) 中可以看到, TMS320C25 在下降沿时, 数据保持稳定, 而 TLC2543 是在上升沿接收输入数据, 因此, XF

产生的时钟脉冲信号须经一非门 74AHCT1G04 后,为 TLC2543 提供 I/O CLOCK 信号。

74LS373 的输入端是 TLC2543 的控制字,该控制字可以由拨码开关来设定。控制字有 8 位,前 4 位(D7~D4)从 11 个模拟输入中选择一个进行转换或从三个内部自测电压中选择一个以对转换器进行校准。D3、D2 用来选择数据长度,转换器的分辨率为 12 位,内部转换结果也总是 12 位长。选择 16 位输出时,D3、D2 的值为 11,TLC2543 在转换结果的低位增加了 4 个被置为 0 的填充位,可以方便地与 TMS320C25 的 16 位串行接口通信。图中,3~8 译码器 74LS138 的 Y7 接到 74LS373 的 \overline{OC} 端,74LS373 的端口地址为 0X7,TMS320C25 用一条 IN 指令,将 TLC2543 的控制字读入。

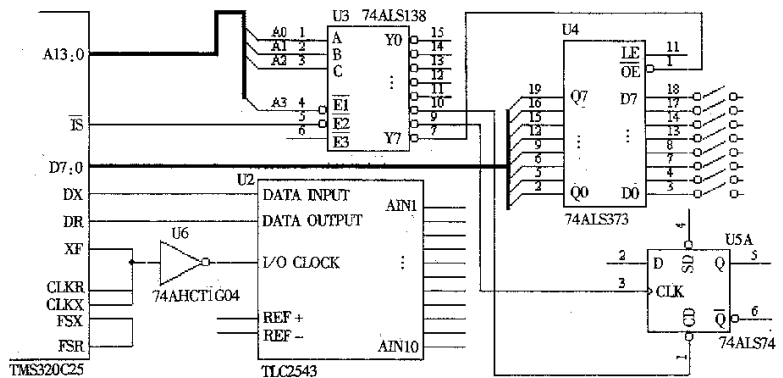


图 2 TMS320C25 与 TLC2543 硬件接口电路

高,表示 TLC2543 转换完成。

1.2 TLC2543 的简要工作过程

TLC2543 的工作过程分为两个周期:I/O 周期和实际转换周期。

(1) I/O 周期

I/O 周期由外部提供的 I/O CLOCK 定义,延续 8、12 或 16 个时钟周期,这取决于选定的输出数据长度。器件进入 I/O 周期,同时进行两种操作:

① 在 I/O CLOCK 的前 8 个脉冲上升沿,以 MSB 前导方式从 DATA INPUT 端输入 8 位数据流到输入寄存器。其中前 4 位为模拟通道地址,控制 14 通道模拟多路器从 11 个模拟输入和 3 个内部自测电压中,选通一路送到采样保持电路,该电路从第四个 I/O CLOCK 脉冲的下降沿开始对所选信号进行采样,直到最后一个 I/O CLOCK 脉冲的下降沿。I/O 周期的时钟脉冲个数与输出数据长度(位数)同时由输入数据的 D3、D2 位选择为 8、12 或 16。当工作于 12 或 16 位时,在前 8 个时钟脉冲之后,DATA INPUT 便无效。

② 在 DATA OUT 端串行输出 8、12 或 16 位数据。当 \overline{CS} 保持为低时,第一个数据出现在 EOC 的上升沿。若转换是由 \overline{CS} 控制,则第一个输出数据发生在 \overline{CS} 的下降沿。这个数据串是前一次转换的结果,在第一个输出数据位之后的每个后续位,由后续的 I/O 时钟每个下降沿输出。

(2) 转换周期

I/O 周期的最后一个 I/O CLOCK 下降沿之后,EOC 变低,采样值保持不变,转换周期开始,片内转换器对采样值进行逐次逼近式 A/D 转换,其工作由 I/O CLOCK 同步了的内部时钟控制。转换完成后 EOC 变高,转换结果锁存在输出数据寄存器中,待下一个 I/O 周期输出。I/O 周期和转换周期交替进行,从而可减小外部的数字噪声对转换精度的影响。

2 软件设计

软件由主程序、中断服务子程序两部分组成。主
(下转第 51 页)

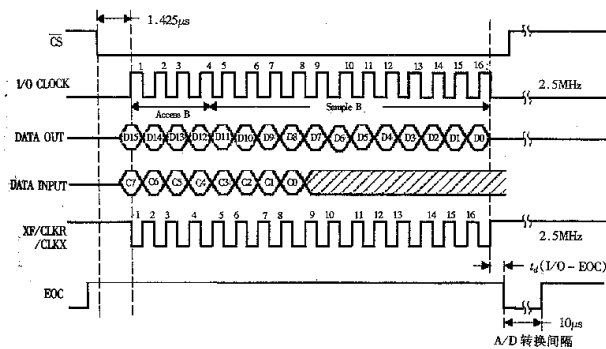


图 3 接口时序图

图中 74ALS138 用来对外设地址译码。74ALS138 的 $\overline{G2A}$ 与 TMS320C25 的 \overline{IS} 引脚相连,当 TMS320C25 执行一条 OUT 指令时,外设地址放置在地址总线上,同时, \overline{IS} 为低,指明地址总线上的地址是 I/O,而不是外部数据或程序存储器。图中,74LS373 的地址为 0X7。当 74ALS138 的输出 Y6 触发 D 触发器 74ALS74(外部地址为 0X6),TLC2543 的 \overline{CS} 变低。74ALS138 的 Y5 接到 D 触发器的 CLR 端,目的是保证在 TMS320C25 复位时, \overline{CS} 为高(复位时,地址线 A0~A15 均为低)。

图 3 中,在 TLC2543 (\overline{CS}) 端变低至 I/O CLOCK 的第一个上升沿之间应有 1.425 μ s 的延时,以保证 TLC2543 内部的电路正确地初始化。TMS320C25 将读入的控制字在 I/O CLOCK 的前 8 个时钟周期发送到 TLC2543,后 8 个时钟传送的内容将被忽略。12 位转换结果以左对队对齐的方式(最低 4 位为 0)被 TMS320C25 接收。在访问周期(ACCESS B)时,TLC2543 选中需采样的通道;在采样周期 B(SAMPLE B)对选中的通道进行采样。在 I/O CLOCK 的最后一个下降沿,EOC 变低并开始转换,约需 10 μ s 的时间,EOC 重新变

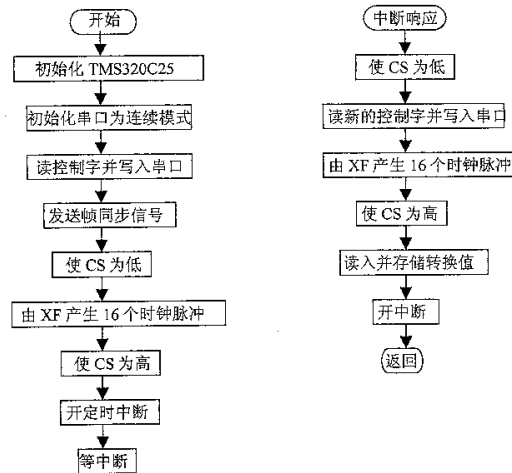
(上接第 45 页)

程序中,完成 TMS320C25 的初始化,并把 TMS320C25 的串口初始化为无帧同步脉冲连续操作方式,在这种方式下,首先应发送一个帧同步脉冲启动串行传输,在后续的操作中,将不用帧同步信号。具体的过程,读者可以参考文献[1]或相关的资料。主程序初始化后,TMS320C25 向 TLC2543 发送 8 位的控制字,置 TLC2543 的 CS 为低,并由 XF 引脚提供 16 个脉冲,将 TLC2543 第一次转换的结果读入,该数据被认为无效。主程序在最后进行定时器的初始化,使 TMS320C25 每 0.2 ms 产生一次中断。当产生定时中断时,TMS320C25 由一条 B TINT 跳转指令跳到中断服务子程序。在中断服务子程序中,TMS320C25 读入新的控制字,将其加载到 DXR(数据发送寄存器)并从 DX 引脚发送,同时将前一次转换的结果从 DR 引脚移入并保存。编程时,使用 NOP 指令在 XF 引脚产生频率为 2.5 MHz 的时钟脉冲,对 TLC2543 来说,必须提供正确的时钟个数,否则,采样就会失败。软件的流程图如图 4 所示。

3 结束语

本文介绍了数字信号处理芯片 TMS320C25 与 TLC2543 的接口及编程。读者可在此基础上,结合自

己的工作,选用不同的具有 SPI 总线的 ADC,完成模数转换器与 DSP 的接口电路设计。



(a) 主程序流程图

(b) 中断服务程序流程

图 4 软件流程图

参考文献

- 1 黄凤英. DSP 原理及应用. 南京: 东南大学出版社, 1997
- 2 TLC2543 数据手册. 武汉: 武汉力源电子股份有限公司, 1997

作者简介: 邓勇, 男, 1975 年生。湖南大学电气工程系电磁测量技术及仪器专业硕士研究生。研究方向: 智能仪表。

(收稿日期: 1999-05□)